

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-347521

(43) 公開日 平成6年(1994)12月22日

(51) Int.Cl.<sup>5</sup>

G 0 1 R 31/28

H 0 3 K 19/00

識別記号

庁内整理番号

F I

技術表示箇所

B 8941-5 J  
6912-2 G

G 0 1 R 31/ 28

V

審査請求 未請求 請求項の数 3 O L (全 21 頁)

(21) 出願番号 特願平5-137746

(22) 出願日 平成5年(1993)6月8日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233011

日立コンピュータエンジニアリング株式会  
社

神奈川県秦野市堀山下1番地

(72) 発明者 丸山 徹也

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(74) 代理人 弁理士 大日方 富雄

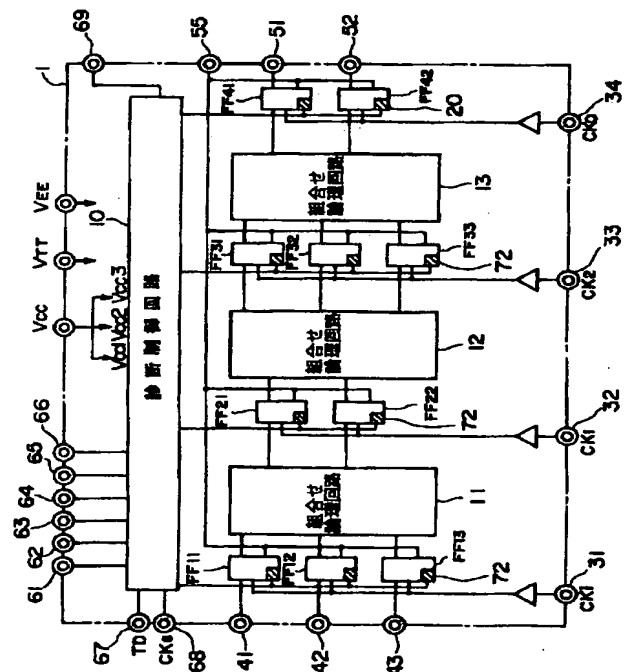
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【構成】 組合せ論理回路の前後に配置されたデータ保持手段を外部から与えられるアドレス信号によって選択して外部から直接診断信号を入れたり、保持データを外部端子へ直接読み出せるように構成された診断機能を備えた論理LSIにおいて、システムの信号が供給されるラッチ回路はバイポーラトランジスタ回路で構成し、診断用の信号が供給される診断用補助回路はCMOS回路で構成するようにした。

【効果】 システムデータが供給されるラッチ回路はバイポーラトランジスタ回路で構成されるため信号の遅延が少ないとともに、通常動作モード時には動作しないため高速性を要求されない診断用補助回路はCMOS回路で構成されるため、消費電力が少なく済む。また、上記ラッチ回路およびスキャンアウトデータを出力するための回路からの信号をECLゲートを通して出力させるようにしたので、レベル変換回路が不要となり、回路設計が容易になる。



BEST AVAILABLE COPY

1

## 【特許請求の範囲】

【請求項1】 論理回路部と、この論理回路部の前段および後段に配置され外部から与えられるアドレス信号によって選択されて外部から直接データが入力され、また保持データを外部端子へ直接出力可能に構成されたデータ保持手段をとを備え、上記データ保持手段はシステムの信号が供給されるラッチ回路と診断用の信号が供給され上記ラッチ回路への制御信号を形成する診断用補助回路とにより構成されると共に、上記ラッチ回路はカレントスイッチ部とエミッタフォロワ部とからなるECL回路で構成され、上記診断用補助回路はCMOS回路で構成され、上記ECL回路のカレントスイッチ部にはエミッタフォロワ部およびCMOS回路とは異なる電源供給系を介して電源電圧が供給されるように構成されていることを特徴とする半導体集積回路装置。

【請求項2】 上記ECL回路のエミッタフォロワ部と上記CMOS回路には、同一の電源供給系を介して電源電圧が供給されるように構成されてなることを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 上記ラッチ回路はECLシリーズゲートで構成され、エミッタフォロワ・トランジスタのベース端子とカレントスイッチ部のスイッチ・トランジスタ共通エミッタ端子との間には、出力レベルを強制的にロウレベルまたはハイレベルに固定するための制御信号が入力されるトランジスタがレベル調整用のダイオードと共に直列形態で接続されてなることを特徴とする請求項1または請求項2記載の半導体集積回路装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、半導体集積回路技術さらには論理集積回路における診断回路およびそのレイアウト方式に適用して有効な技術に関し、例えばECL（エミッタ・カップルド・ロジック）回路からなるようなバイポーラ論理LSIおよびそれに使用されるデータラッチ手段の構成に利用して有効な技術に関する。

## 【0002】

【従来の技術】 近年、論理機能を有する半導体集積回路装置（以下、論理LSIと称する）は入出力ピンの数が増加し、多いものでは数100個のピンを有するものがある。このように、入出力ピンの多い論理LSIにおいては、内部論理回路の診断が困難となる。例えば、論理LSIのテストングをプローブ検査で行なう場合、入出力ピン（端子）の数が多いと端子間隔が狭くなるため、全端子（パッド）へのプローブの正確な接触が非常に難しくなる。特に、CCB（Controlled Collapse Bonding）方式のLSIにおいては、各端子間の距離が短いため、全パッドへのプローブの接触が難しくなる。

【0003】 そのため、論理LSIの診断方式としてシリアルスキャン方式が知られている。このシリアルスキャン方式は、診断時において、論理LSI内の論理回路

2

に配置された複数のフリップフロップを直列に接続することによってシフトレジスタとして動作させる方式である。この方式では、診断時に、まずフリップフロップがレジスタとして動作するように接続され、テストデータがシフトレジスタを構成する各フリップフロップに書き込まれる。その後、各フリップフロップは、通常動作時と同一の回路接続とされることによって、各フリップフロップの後段論理回路にテストデータを供給可能にされる。次に、テストデータを後段の論理回路に供給するように論理LSIが動作させられる。その結果、後段論理回路は、テストデータに回答して所定の論理動作を実行し、その結果得られたデータ（テスト結果データ）が後段論理回路内にある複数のフリップフロップにラッチされる。テスト結果データは、前記同様、各フリップフロップをシフトレジスタとして動作するように接続することによって、論理LSI外に設けられたテスターに出力される。

【0004】 従って、従来の一般的なスキャン方式の診断によると、フリップフロップより後段の論理回路のテストは容易である。しかし、入力回路から最初のフリップフロップまでの論理回路の診断を行なうには、入力端子にプローブを当ててテスト信号を入力する必要がある。この問題を解決するため、論理LSIの入力部にバウンダリ・スキャン・フリップフロップを設け、診断時に、このフリップフロップにテストデータ（テストパターン）を保持させることによって、プローブを用いた診断を不要にする方式が知られている。IEEE 1990 Bipolar Circuit and Technology Meeting 6.2 pp128～pp131は、バウンダリ・スキャン方式の診断回路を内蔵した論理LSIにおいて、バウンダリ・スキャン・フリップフロップを、ECL回路とCMOS回路とを組み合わせることによって構成する技術を開示している。

【0005】 他の診断方式として、ランダムスキャン方式が知られている。この診断方式は、半導体集積回路装置内の各フリップフロップを、診断時にアドレス指定できるように構成したものであり、この点が上述のシリアルスキャン方式と相違する点である。ランダムスキャン方式において、診断時に半導体集積回路装置内の1つのフリップフロップが半導体集積回路装置の外部から供給されたアドレス信号に基づいて選択状態とされる。そして、その選択状態とされたフリップフロップに対してテストデータの設定または読み出しが行なわれる。米国特許No. 4,701,922（発行日1987年10月20日）は上記ランダムスキャン方式の診断回路を開示している。

## 【0006】

【発明が解決しようとする課題】 上述したバウンダリ・スキャン・フリップフロップは、診断時においてECLレベルの入力信号を受け、これをCMOS回路で構成さ

3

れたフリップフロップでラッチし、再びECLレベルの出力信号として次段論理回路へ信号を送るという回路形式である。そのため、レベル変換回路がECL入力部（シリーズゲート）とCMOSフリップフロップとの間およびCMOSフリップフロップとECL出力部との間に、それぞれ必要とされる。そのため、信号のレベルを合わせるための回路設計が面倒であるばかりでなく、通常動作時および診断実施例における信号の伝達速度も遅くなると考えられる。シリアルスキャン方式の診断においては、診断時における信号伝達速度の遅延は、テスト時間の増加を招くおそれがある。

【0007】また、ECL-CMOS回路の問題点としては、CMOS回路の電源が一般に0V、5Vで論理振幅も同一であるのに対し、ECL回路の電源は0V、-4~-5Vで、論理振幅は-0.8V~-0.9V、-1.4V~-1.8V程度で両者の論理振幅に差があるため、両者を接続するにはレベル変換回路が必要になる。仮に、レベル変換回路を省略すると、ハイレベル側ではバイポーラトランジスタが飽和し、エミッタ接地電流増幅率が低下して正常なコレクタ電圧がでなくなる。これとともに、ロウレベル側ではバイポーラトランジスタの耐圧が問題となる。さらに、CMOS回路とECL回路の論理振幅を近づけようとしてCMOS回路の電源電圧を抑めると、動作速度が遅くなったり、電源ノイズに対するマージンが減少する等の問題が生じる。また、ECL回路の論理振幅を広げると、動作速度が遅くなるという問題がある。

【0008】本発明の目的は、診断機能を備えた半導体集積回路装置において、回路設計が容易でしかも通常動作時および診断時における信号の遅延の少ない診断制御用補助回路付きのデータ保持手段（フリップフロップ）を提供することにある。本発明の他の目的は、診断機能を備えた半導体集積回路装置において、レベル変換回路を設けることなく、ECL回路とCMOS回路とで診断制御用補助回路付きのデータ保持手段を構成できると共に、動作速度を低下させることなく、ECL回路の電源ノイズによる誤動作を防止できるようにすることにある。この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかにするであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。すなわち、組合せ論理回路の前後に配置されたフリップフロップ（データ保持手段）を、半導体集積回路装置の外部から与えられるアドレス信号（選択信号）によって選択して外部から直接組み合わせ論理回路診断のためのテストデータを入れたり、特定のフリップフロップの保持データを外部端子を経由して直接半導体集積回路装置の外部へ読み出せるように構成された診断

4

機能付きの半導体集積回路装置において、通常動作時にシステム信号（システムデータ）が供給されるラッチ回路はバイポーラトランジスタ回路で構成する。また、診断時に診断用の信号が供給されこの信号に基づいて上記ラッチ回路への制御信号を形成するためのラッチ機能付き診断用補助回路はCMOS回路で構成する。さらに、診断時に診断用補助回路の出力信号によって制御される上記ラッチ回路の出力信号はバイポーラ論理ゲートに入力され、バイポーラ論理ゲートに更に入力される制御信号のレベルに従って、上記ラッチ回路の出力信号が外部端子を介して直接外部の半導体集積回路装置へ出力させるようにする。

【0010】言い換えるならば、ラッチ回路に含まれかつ複数のバイポーラ・トランジスタで構成されたフリップフロップは、通常動作時のシステムデータのラッチばかりでなく、テストデータまたはテスト結果データのラッチのために利用される。一方、上記フリップフロップに対するテストデータの設定など診断時における上記フリップフロップを制御するための診断用補助回路は、PチャネルMOSFET (Metal Oxide Semiconductor Field Effect Transistor) およびNチャネルMOSFETを含むCMOS（相補型MOS）回路で構成される。さらに、本発明では、CMOS回路の電源に、Vcc（0V）とV<sub>EE</sub>を使用する。そして、このうちVccはカレントスイッチ用とエミッタフォロウ用とで電源ラインを分けて供給し、CMOS回路にはエミッタフォロウ用Vccを使用する。

【0011】

【作用】上記した手段によれば、通常動作モードでシステムデータが供給されかつ診断モードでテスト結果データが供給されるラッチ回路はバイポーラトランジスタ回路で構成されるため、ラッチ回路は通常動作時に信号遅延が少なくされる。診断用補助回路は、診断モード時にラッチ回路に制御信号を供給するために用いられる。一般的に、診断は半導体集積回路装置の出荷前に行ない、製品出荷後は、通常動作で使用される。従って、製品出荷後に診断用補助回路が用いられることはほとんどない。そのため、診断のための回路は高速性よりもその実装面積が小さいことが要求される。本発明において、診断用補助回路はCMOS回路で構成される。そのため、上記診断用補助回路は小面積であり、かつ消費電力が少なくされる。さらに一般に、半導体集積回路装置の外部へ出力される信号は、ECLレベルであるが、診断時に診断用補助回路によって制御されるラッチ回路の出力信号をバイポーラ論理ゲートを介して半導体集積回路外部へ出力させるようにしたので、CMOSレベルの信号をECLレベルの信号へ変換するためのレベル変換回路が不要となり、回路設計が容易になる。

【0012】また、Vccはカレントスイッチ用とエミッタフォロウ用とで電源ラインを分けて供給し、CMO

5

S回路にはエミッタフォロウ用 $V_{cc}$ を使用するようにしたので、CMOS回路で発生する電源ノイズは主にエミッタフォロウ用 $V_{cc}$ と $V_{TT}$ にのみ伝わるが、エミッタフォロウの出力電圧は、主にその前後のカレントスイッチのコレクタ電圧で決まり、エミッタフォロウ用の電源電圧の変動の影響は受けにくい。CMOS回路で発生する電源ノイズがECL回路に伝わりにくくなる。さらに、CMOS回路の電源は通常よりも低め(約2V)にされた場合にも、診断回路には高速性が要求されないため、これによる速度の低下は診断回路にはほとんど影響ない。また、ECL回路からCMOS回路へのノイズの影響に関しては、ECL回路の論理振幅がCMOS回路の振幅の $1/3 \sim 1/4$ と十分に小さいので、問題とならない。

【0013】また、CMOS回路では、ハイレベルが $V_{cc}$ (0V)とされることから、CMOS回路からの信号はハイレベルが $V_{cc}$ (0V)となり、ECL回路に対して通常のECLレベルの信号(-0.8~-1.8V)よりも優先した入力を行なうことができ、システムデータによらず診断用のデータの入力を行なうために有効な機能となる。一方、ECL回路に $V_{cc}$ レベルの信号を入力することでバイポーラ・トランジスタは多少飽和するが、飽和することでバイポーラ・トランジスタのベース電流が増加し、PMOSFETのオン抵抗による電圧降下が増し、ベース電圧が下がるため弱い飽和のままで済む。MOSFETのオン抵抗が充分でなければ他の抵抗素子をMOSFETのドレインやソースに付加するようにしても良い。

#### 【0014】

【実施例】以下、本発明の実施例を図面に基づいて説明する。図1には、本発明を適用した論理LSIの概略構成が示されている。同図において、一点鎖線で囲まれた論理LSIは、特に制限されないが、単結晶シリコン基板のような一つの半導体チップ上において集積、形成される。なお、同図において、二重丸は、論理LSIの信号入出力用の外部端子および電源端子を示している。図1において、11, 12, 13はそれぞれ内部記憶能力を持たず所定の論理機能を有する組合せ論理回路である。これらの組合せ論理回路11, 12および13のそれぞれは、特に制限されないが、図19に示されるようなECLゲート回路100が複数個組み合わせられて構成される。

【0015】ECLゲート回路100は、そのベース端子に入力端子i1, i2が結合されたNPN型の入力バイポーラ・トランジスタQ100およびQ101、参照電圧 $V_{BB}$ をベース端子に受けるNPN型参照用バイポーラ・トランジスタQ102、上記トランジスタQ100およびQ101の共通コレクタと0Vのような接地電位 $V_{cc}$ との間に接続されたコレクタ負荷抵抗R100, 上記トランジスタQ102のコレクタと接地電位V

6

$cc$ との間に接続されたコレクタ負荷抵抗R101、上記トランジスタQ100およびQ101の共通エミッタに結合されたコレクタと定電圧 $V_{cs}$ を受けるベースとを有する定電流用トランジスタQ103、このトランジスタQ103のエミッタと-4Vのような負の電源電圧 $V_{ee}$ との間に接続されたエミッタ負荷抵抗R102、上記トランジスタQ100およびQ101の共通コレクタと上記抵抗R100との共通接続ノードに結合されたベースと上記接地電位 $V_{cc}$ に結合されたコレクタおよび出力端子NORに結合されたエミッタとを有するNPN型エミッタフォロウ・トランジスタQ105、上記参照用バイポーラ・トランジスタQ102のコレクタと上記抵抗R101との共通接続ノードに結合されたベースと上記接地電位 $V_{cc}$ に結合されたコレクタおよび出力端子ORに結合されたエミッタとを有するNPN型エミッタフォロウ・トランジスタQ104および上記トランジスタQ104, Q105の各エミッタと-2.0Vのような電源電圧 $V_{TT}$ との間にそれぞれ接続されたエミッタ負荷抵抗R103, R104により構成されている。

【0016】上記ECLゲート回路100は、入力端子i1またはi2の電位が上記参照電圧 $V_{BB}$ (-1.15V)以上のハイレベル(-0.85V)とされると、入力トランジスタQ100またはQ101がオン状態とされ、上記トランジスタQ102がオフ状態とされる。それによって、出力端子ORおよびNORのそれぞれのレベルは、ECLレベルのハイレベル(-0.85V)とロウレベル(-1.65V)にされる。一方、入力端子i1またはi2の電位が上記参照電圧 $V_{BB}$ (-1.15V)以下のロウレベル(-1.65V)とされると、入力トランジスタQ100またはQ101がオン状態とされ、上記トランジスタQ102がオフ状態とされる。それによって、出力端子ORおよびNORのそれぞれのレベルは、ECLレベルのロウレベル(-1.65V)とハイレベル(-0.85V)にされる。なお、上記ECLゲート回路100の出力端子ORおよびNORは、後述のフリップフロップFF21, FF22, FF31~FF33などのシステムデータ入力端子Dに結合され、入力端子i1またはi2は後述のフリップフロップFF21, FF22, FF31~FF33などの出力端子Qに結合される。

【0017】図1に戻って、FF11~FF42は、上記組合せ論理回路11と12との間、組合せ論理回路12と13との間および上記組合せ論理回路11の前段と組合せ論理回路13の後段にそれぞれ設けられたデータラッチ用のフリップフロップである。これらのフリップフロップFF11~FF42は、それぞれ診断用補助回路72が付加されており、上記組合せ論理回路の診断モード時に診断用データがラッチされるフリップフロップとされる。上記組合せ論理回路11は、フリップフロ

7

ブFF11~FF13にそれぞれ結合された入力端子とフリップフロップFF21およびFF22にそれぞれ結合された出力端子とを有する。同様に、上記組合せ論理回路12は、フリップフロップFF21およびFF22にそれぞれ結合された入力端子とフリップフロップFF31~FF33にそれぞれ結合された出力端子とを有し、上記組合せ論理回路13は、フリップフロップFF11~FF13にそれぞれ結合された入力端子とフリップフロップFF41およびFF42にそれぞれ結合された出力端子とを有する。

【0018】上記フリップフロップFF11~FF13は、入力回路を兼用したラッチ回路とされ、診断モード時に外部端子31から供給される診断用入力クロックCKiに同期して入力ピン（入力端子）41、42および43から入力された入力信号をラッチしたり、あるいは上記組合せ論理回路11のためのテストデータをラッチしたりするために利用される。一方、通常動作モード時に上記フリップフロップFF11~FF13は、上記入力クロックCKiが供給されないこと（ハイレベルに固定されること）によって、上記入力端子41、42および43から入力された入力信号をそのまま通過させる入力バッファとして機能する。すなわち、上記フリップフロップFF11~FF13は、バウンダリ・スキャン・フリップフロップとされる。

【0019】上記フリップフロップFF21、FF22、FF31、FF32およびFF33は、それぞれ上記組合せ論理回路11および12の出力信号のラッチを行なうフリップフロップとされる。上記フリップフロップFF21とFF22は、通常動作モード時および診断モード時に外部端子32から供給されるシステムクロックCK1によって、上記組合せ論理回路11の出力データあるいは組合せ論理回路12の診断のためのテストデータをラッチするために利用される。また、上記フリップフロップFF31~FF33は、通常動作モード時および診断モード時に外部端子33から供給されるシステムクロックCK2によって、上記組合せ論理回路12の出力データあるいは組合せ論理回路13の診断のためのテストデータをラッチするために利用される。

【0020】さらに、上記フリップフロップFF41とFF42は、出力回路を兼用したフリップフロップとされる。フリップフロップFF41とFF42は、診断モード時に外部端子34から供給される診断用出力クロックCKoによって、上記組合せ論理回路13の出力データをラッチするために利用される。一方、通常動作モード時に、上記フリップフロップFF41とFF42は、上記診断用出力クロックCKoが供給されない（ハイレベルに固定される）ことによって、上記組合せ論理回路13の出力データをそのまま通過させて出力ピン51と52に出力する。すなわち、上記フリップフロップFF41とFF42は、バウンダリ・スキャン・フリップフ

8

ロップとされる。一方、上記フリップフロップFF11~FF42にラッチされたテスト結果データは、診断モードにおいて、診断データ出力端子55から論理LSIの外部へ出力される。

【0021】図1において、10は診断制御回路を示している。この診断制御回路10は、診断モード時に、外部アドレス端子61~66から供給されるアドレス信号をデコードし、各フリップフロップFF11~FF42に対する選択信号SELを形成する。さらに、上記診断制御回路10は、入力端子67から供給されるテストデータTDおよび入力端子68から供給されるスキャンクロックCKsに基づいて各フリップフロップに設けられた診断用補助回路72にセット信号Sまたはリセット信号Rを形成したり、あるいは入力端子69から供給された診断モード切換え信号TMを、上記各フリップフロップの診断用補助回路72に分配する。この診断制御回路10はCMOS回路により構成される。

【0022】特に制限されるものでないが、上記外部アドレス端子61~66に供給されるアドレス信号、テストデータおよびスキャンクロックCKsはECLレベルの信号とされ、診断用補助回路72はその内部に設けられたレベル変換回路によって、上記ECLレベルの信号をCMOSレベルの信号に変換した後、上述の各論理動作を実行し、CMOSレベルの選択信号SEL、セット信号S、リセット信号Rおよび診断モード切換え信号TMを診断用補助回路72に出力する。なお、図1においては、クロックCKi、CK1、CK2、CKoが入力されるクロック端子31、32、33、34が記載されているが、この実施例の論理LSIにはクロックCKi、CK1、CK2、CKoの信号レベルと逆相の信号レベルのクロックが供給される端子が設けられ、差動のクロック信号として上記フリップフロップFF11~FF42に供給される。

【0023】図1において、91、92、93で示される外部端子は、電源電圧Vcc、VEE、VTTの供給端子であり、特に制限されるものでないが、電源電圧Vccはグラウンドレベル（0V）、VEEは-4.0V、VTTは-2.0Vである。また、このうち、電源電圧Vccは端子（パッド）から3本の電源ラインに分割され、一つは電源電圧Vcc1として組合せ論理回路11、12、13を構成する論理ゲート回路（図19）やフリップフロップFF11~FF42を構成するラッチ回路（図3、図4、図5）のカレントスイッチ回路部に供給される。3本の電源ラインの他の一つは電源電圧Vcc2として、組合せ論理回路11、12、13を構成する論理ゲート回路（図19）やフリップフロップFF11~FF33を構成するラッチ回路（図3、図4）のエミッタフォロワ回路部および診断用補助回路72（図6）を構成するCMOS回路に供給される。

【0024】さらに、残りの電源ラインは電源電圧Vc

9

c 3として、出力用フリップフロップFF 4 1, FF 4 2の出力トランジスタQ oのコレクタ電圧として供給される。このように、カレントスイッチ回路部の電源電圧と、CMOS回路の電源電圧とが分離されていることにより、信号の振幅が小さいため電源ノイズに弱いカレントスイッチ回路部が、CMOS回路からの電源ノイズによって誤動作されるのを防止できる。なお、エミッタフォロワ回路部は比較的電源ノイズに強いためCMOS回路の電源電圧と共通にできる。エミッタフォロワの出力電圧は、主にその前後のカレントスイッチのコレクタ電圧で決まり、エミッタフォロワ用の電源電圧の変動の影響は受けにくいためである。同様の理由により、ECL回路のエミッタフォロワ回路部の電源電圧V<sub>TT</sub>とCMOS回路の電源電圧V<sub>TT</sub>も共通とされている。この実施例では、電源電圧V<sub>cc</sub> 3を別個に設けているが、電源電圧V<sub>cc</sub> 3とV<sub>cc</sub> 2は共通にしてもよい。

【0025】図2には、上記フリップフロップFF 1 1～FF 4 2の論理機能の一実施例が示されている。同図において、符号7 1は、通常動作時にシステムデータをラッチするラッチ回路（フリップフロップ）を示し、符号7 2は前述の診断用補助回路、7 3は上記診断制御回路1 0からの選択信号SELに基いて上記ラッチ回路7 1の反転出力端子/Qの出力信号をスキャンアウトデータS oとして上記診断データ出力端子5 5へ出力させるためのNORゲートを示す。このNORゲート7 3は、ECL回路により構成される。上記ラッチ回路7 1は、システムデータが供給されるべきデータ端子D、セット信号が供給されるべきセット端子S、リセット信号が供給されるべきリセット端子R、クロック信号が供給されるべきクロック入力端子C、システムデータに優先してラッチデータをロウレベルに固定するための制御信号が供給されるべきロウ入力固定端子L I、システムデータに優先してラッチデータをハイレベルに固定するための制御信号が供給されるべきハイ入力固定端子H I、非反転出力端子Qおよび反転出力端子/Q（/QはQの反転信号）を備えている。

【0026】上記診断用補助回路7 2は、上記診断制御回路1 0から供給される選択信号SELやセット信号S、リセット信号Rおよびモード切替信号TMを受ける端子およびラッチ部LTを備える。そして、上記診断用補助回路7 2は、選択信号SELによって当該ラッチ回路7 1が選択状態とされ、かつモード切替信号TMによって診断モード（TMがハイレベル）が指定されているときにセット信号Sまたはリセット信号Rがロウレベルにされることに応答して、ラッチ回路7 1をセットさせる信号またはリセットさせる信号を形成する。このとき、上記ラッチ部LTは上記セット信号Sまたはリセット信号Rによって指示されたセット状態またはリセット状態を示すデータを保持する。

【0027】そして、このラッチ部LTに保持されたデ

10

ータは、NORゲートG 1およびG 2によって、ラッチ回路7 1のデータをロウレベルに固定するための信号またはラッチ回路7 1のデータをハイレベルに固定するための信号として、ラッチ回路7 1のロウ入力固定端子L Iまたはハイ入力固定端子H Iに供給される。上記ラッチ回路7 1のセット端子Sには、上記診断用補助回路7 2に含まれるNORゲートG 3の出力信号が供給される。NORゲートG 3は、選択信号SELやセット信号Sおよびモード切替信号TMのすべてがロウレベルとされる期間のみ出力信号がハイレベルとなる。

【0028】この実施例では、上記ラッチ回路7 1は、図3～図5に示すように複数のバイポーラトランジスタからなるシリーズゲートにより構成され、上記診断用補助回路7 2は、図6に示すようにCMOS論理ゲートにより構成されている。図3～図5において、図3に示されている回路は前記入力用フリップフロップFF 1 1およびFF 1 2に適したラッチ回路であり、図4に示されている回路は前記フリップフロップFF 2 1～FF 3 3に適したラッチ回路、図5に示されている回路は前記出力用フリップフロップFF 4 1, FF 4 2に適したラッチ回路である。

【0029】図3～図5に示されている各ラッチ回路はほぼ同一の構成である。図3に示されているラッチ回路と図4に示されているラッチ回路の相違点は、入力用ラッチ回路（図3）の入力トランジスタQ 1のベース端子と入力端子4 1（4 2, 4 3）との間に静電保護回路8 1が設けられている点である。一方、図4に示されているラッチ回路と図5に示されているラッチ回路の相違点は、出力用ラッチ回路（図5）は3入力とされ、かつ出力端子5 1（5 2）に接続されたエミッタフォロワ・出力トランジスタQ oおよびこれのベース端子に接続された差動形式のバッファアンプ8 2を備えている点である。図3～図5において、参照電圧V<sub>BB</sub>は-1. 1 5、定電圧V<sub>cs</sub>は-2. 8 Vである。ハイ入力固定端子H I、ロウ入力固定端子L I、セット端子Sおよびリセット端子Rに供給される信号のハイレベルは0 V、ロウレベルは-2. 0 Vである。クロック端子CK i, /CK i, CK, /CK, CK 0, /CK 0のハイレベルは-1. 7 V、そのロウレベルは-2. 0である。

【0030】図3において、論理LS Iの外部から入力端子4 1に供給される信号のハイレベルは、特に制限されるものでないが、-0. 8 5 V、そのロウレベルは-1. 7 5 Vであり、また出力端子Qおよび/Qから出力される信号のハイレベルは、-0. 8 5 V、そのロウレベルは-1. 4 5 Vである。図4において、システムデータ端子Dに入力される信号および出力端子Qおよび/Qから出力される信号のハイレベルは、特に制限されるものでないが、-0. 8 5 V、そのロウレベルは-1. 4 5 Vである。図5において、入力端子I 1～I 3に入力される信号のハイレベルは、-0. 8 5 V、そのロウ

レベルは $-1.45\text{V}$ である。論理LSIの外部へ出力するための出力端子51(52)に出力される信号のハイレベルは、特に制限されるものでないが、 $-0.85\text{V}$ 、そのロウレベルは $-1.75\text{V}$ である。

【0031】次に、図3～図5に示されているフリップフロップFF11～FF42に適したラッチ回路71において注目すべき点は、一般的なシリーズゲートの構成に加え、入力トランジスタQ1、Q2のコレクタとエミッタフォロウトランジスタQ11の接続ノードに10入力されるセット信号Sおよび入力トランジスタQ3のコレクタとエミッタフォロウトランジスタQ10の接続ノードに11入力されるリセット信号Rが、レベル調整用ダイオードD1で押し上げられたトランジスタQ13、Q14を介して入力されるように構成されている点である。すなわち、この実施例では、エミッタフォロウトランジスタQ10、Q11の各ベース端子と定電流用トランジスタQ12のコレクタ端子との間に、セット、リセット入力用トランジスタQ13、Q14とレベル調整用のダイオードD1とが設けられている。トランジスタQ13とQ14はエミッタを共通にして並列に接続され、ダイオードD1はVccからV<sub>TT</sub>に向けて順方向となるようにトランジスタQ13、Q14の共通エミッタに接続されている。

【0032】CMOS回路からなる図6の診断用補助回路72から図3～図5のラッチ回路に供給されるセット信号Sおよびリセット信号Rは、入力トランジスタQ1の入力信号と異なり振幅がECLレベルの $-0.8\text{V}$ ～ $-1.8\text{V}$ でなく、 $0\text{V}$ ～ $-2.0$ となる。しかも、入力トランジスタQ1～Q3のエミッタ側にはカレントスイッチ・トランジスタQ7が接続されているため、ダイオードD1がない場合に、トランジスタQ13、Q14をオフさせるには入力トランジスタQ2、Q3をオフさせるベース電圧( $-2.0\text{V}$ )より低い電圧(例えば $-2.8\text{V}$ )が必要とされるが、この実施例では、トランジスタQ13とQ14の共通エミッタにダイオードD1が接続されているため、 $-2.0\text{V}$ のロウレベルの信号であっても、トランジスタQ13、Q14を確実にオフさせることができる。これによって、図6のCMOS回路からなる診断用補助回路72の電源電圧V<sub>TT</sub>として $-2.0$ のような電圧としても次段のECL回路を確実に動作させることができる。

【0033】次に、図4に示されている内部用フリップフロップFF21～FF33に適したラッチ回路71の動作を説明する。ラッチ回路71は、通常動作モードと診断モードを設定することが可能である。診断モードには、ハイ入力固定モード、ロウ入力固定モード、セットモード及びリセットモードが含まれる。通常動作モードは、ハイ入力固定端子HI、ロウ入力固定端子LI、セット端子S及びリセット端子Rにロウレベル( $-2.0\text{V}$ )が入力されることによって設定される。従って、通

常動作モードでは、ハイ入力固定端子HIおよびロウ入力固定端子LIに接続された入力用トランジスタQ2、Q3およびセット端子及びリセット端子に接続されたトランジスタQ13、Q14は常にオフ状態とされる。一方、参照用トランジスタQ4のベースには常に $-1.15\text{V}$ が与えられる。

【0034】そのため、通常動作モードでは、システムデータ入力端子Dに接続された入力トランジスタQ1のベースにハイレベル( $-0.85\text{V}$ )が入力され、かつクロック端子CKにハイレベル( $-1.7\text{V}$ )が入力された場合、参照用トランジスタQ4がオフ、入力トランジスタQ1がオン状態とされる。これによって、電源電圧Vccからコレクタ抵抗R1、入力用トランジスタQ1、スイッチトランジスタQ7、定電流源トランジスタQ12、エミッタ抵抗R5を通して電源電圧端子VEEに向かって所定の電流値の電流が流れ、出力トランジスタQ11のベースには、コレクタ抵抗R1とこれに流される電流の電流値とによって決定される電圧分だけVccよりも低いロウレベルが印加される。その結果、出力トランジスタQ11はオフ状態とされ、出力端子Q'はロウレベルとなる。

【0035】また、このときコレクタ抵抗R2には実質的に電流は流れない。そのため、他方の出力トランジスタQ10のベース電位は、コレクタ抵抗R2による電圧降下がないので、ハイレベルとなる。その結果、出力トランジスタQ10はオン状態とされ、Vcc2からV<sub>TT</sub>に向かって電流が流れ、出力端子Qは出力トランジスタQ10のエミッタ電流とエミッタ抵抗R3の抵抗値とによって決まるようなハイレベルとなる。この状態において、クロック端子CKがロウレベル( $-2.0\text{V}$ )とされ、クロック端子CKにハイレベル( $-1.7\text{V}$ )が入力されると、スイッチトランジスタQ7はオフ、Q8はオン状態とされる。このとき、ラッチ用トランジスタQ5のベース電位は、Q6のベース電位よりも高いため、Q5がオン、Q6がオフ状態とされる。その結果、それまで入力トランジスタQ1によってコレクタ抵抗R1に流されていた電流と同一の電流値の電流が引き続きトランジスタQ5に流されるようになる。従って、出力端子Qはハイレベルに維持され、出力端子Q'はロウレベルに維持される。

【0036】また、通常動作モード時に、データ入力端子Dに接続された入力トランジスタQ1のベースにロウレベル( $-1.75\text{V}$ )が入力されると、入力トランジスタQ1がオフ、参照用トランジスタQ4がオン状態とされる。これによって、コレクタ抵抗R2に所定の電流値の電流が流れ、出力トランジスタQ10のベースには、コレクタ抵抗R2と上記電流の電流値とによって決定される電圧降下によってロウレベルが印加される。その結果、出力トランジスタQ10はオフ状態とされ、出力端子Qはロウレベルとなる。また、このときコレクタ

13

抵抗R1には実質的に電流は流れない。そのため、他方の出力トランジスタQ11のベース電位は、コレクタ抵抗R1による電圧降下がないので、ハイレベルとなる。その結果、出力トランジスタQ10はオン状態とされ、Vcc2からVTTに向かって電流が流れ、出力端子Q'は出力トランジスタQ10のエミッタ電流とエミッタ抵抗R4の抵抗値とによって決まるようなハイレベルとなる。

【0037】この状態において、クロック端子CKがロウレベル(-2.0V)とされ、クロック端子/CKにハイレベル(-1.7V)が入力されると、スイッチトランジスタQ7はオフ、Q8はオン状態とされる。このとき、ラッチ用トランジスタQ6のベース電位は、Q5のベース電位よりも高いため、Q6がオン、Q5がオフ状態とされる。その結果、それまで入力トランジスタQ4によってコレクタ抵抗R2に流されていた電流と同一の電流値の電流が引き続きトランジスタQ6に流されるようになる。従って、クロック端子CKにロウレベルが入力された後も、出力端子Qはロウレベルに維持され、出力端子Q'はハイレベルに維持される。

【0038】上述したように、通常動作モードでは、システムデータ入力端子Dにハイレベルの信号が入力された場合、クロック端子CKにハイレベルにされることによって、出力端子Qからはハイレベルの信号が出力され、出力端子Q'からはロウレベルの信号が出力される。次いで、クロック端子CKのレベルがロウレベルに変化しても、出力端子Qおよび出力端子Q'のレベルは維持される。また、システムデータ入力端子Dにロウレベルの信号が入力された場合、クロック端子CKにハイレベルにされることによって、出力端子Qからはロウレベルの信号が出力され、出力端子Q'からはハイレベルの信号が出力される。次いで、クロック端子CKのレベルがロウレベルに変化しても、出力端子Qおよび出力端子Q'のレベルは維持される。

【0039】次に、診断モードにおけるラッチ回路71の動作を説明する。診断モードには、ハイ入力固定モードと、ロウ入力固定モードがある。ハイ入力固定モードは、ハイ入力固定端子HIにハイレベル(0V)、ロウ入力固定端子LI、セット端子及びリセット端子にロウレベル(-2.0V)が入力されることによって設定される。この状態において、クロック端子CKにハイレベル(-1.7V)が入力されると、システムデータ端子Dに入力される信号のレベルにかかわらずハイ入力固定用トランジスタQ2がオン状態とされる。そのため、電源電圧Vccからコレクタ抵抗R1、ハイ入力固定用トランジスタQ2、スイッチトランジスタQ7、定電流源トランジスタQ12、エミッタ抵抗R5を通して電源電圧端子VEEに向かって電流が流れる。これによって、コレクタ抵抗R1に所定の電流値の電流が流れ、出力トランジスタQ11はオフ状態とされ、出力端子Q'はロウ

14

レベルとなる。また、このときコレクタ抵抗R2には実質的に電流は流れないため、他方の出力トランジスタQ10はオン状態とされ、出力端子Qはハイレベルとなる。

【0040】この状態において、クロック端子CKがロウレベル(-2.0V)とされ、クロック端子/CKにハイレベル(-1.7V)が入力されると、それまでハイ入力固定用トランジスタQ2によってコレクタ抵抗R1に流されていた電流と同一の電流値の電流が引き続きラッチ用トランジスタQ5に流されるようになる。従って、クロック端子CKにロウレベルが入力された後も、出力端子Qはロウレベルに維持され、出力端子Q'はハイレベルに維持される。この状態において、再びクロック端子CKがハイレベル(-1.7V)とされても、出力端子Qはハイレベルに維持され、出力端子Q'はロウレベルに維持される。

【0041】つまり、ハイ入力固定モードが設定された場合、その設定期間中、システムデータ端子Dあるいはクロック端子CK、/CKのレベルがどのように変化しようとも、出力端子Qはハイレベルを出力し、出力端子Q'はロウレベルを出力し続ける。診断用補助回路72からハイ入力固定端子HIおよびロウ入力固定端子LIに入力される信号はCMOSレベル(例えば0V~-2.0V)であるのに対してシステムデータ端子Dに入力される信号はECLレベル(例えば-0.8V~-1.3V)であるため、ハイ入力固定端子HIに、CMOSレベルでハイ状態の信号が入力されるとシステムデータ信号のハイ/ロウにかかわらず、トランジスタQ1がオフ、Q2がオンしてシステムデータに優先してハイ入力固定端子HIの信号がラッチ回路71に取り込まれるようになるからである。

【0042】一方、ロウ入力固定モードは、ロウ入力固定端子LIにハイレベル(0V)、ハイ入力固定端子HI、セット端子S及びリセット端子Rにロウレベル(-2.0V)が入力されることによって設定される。ロウ入力固定モードにおけるラッチ回路71の動作は、上記ハイ入力固定モードの動作と類似であるので、詳細な動作説明は省略する。ロウ入力固定モードが設定された場合、その期間中、システムデータ端子Dあるいはクロック端子CK、/CKのレベルがどのように変化しようとも、出力端子Qはロウレベルを出力し、出力端子Q'はハイレベルを出力し続ける。診断用補助回路72からロウ入力固定端子LIに入力される信号はCMOSレベル(例えば0V~-2.0V)であるのに対してシステムデータ端子Dに入力される信号はECLレベル(例えば-0.8V~-1.3V)であるため、ロウ入力固定端子LIに、CMOSレベルでハイ状態の信号が入力されるとシステムデータ信号のハイ/ロウにかかわらず、トランジスタQ1がオフ、Q3がオンしてシステムデータに優先してロウ入力固定端子LIの信号がラッチ回路7



15

1に取り込まれるようになるからである。

【0043】次に、セットモードについて説明する。セットモードは、セット端子Sにハイレベル(0V)、ハイ入力固定端子HI、ロウ入力固定端子LI及びリセット端子Rにロウレベル(-2.0V)が入力されることによって設定される。セットモードにおいては、セット用トランジスタQ13がオン状態とされることより、スイッチトランジスタQ7、Q8さらには入力トランジスタQ1、ハイ入力固定用トランジスタQ2、ロウ入力固定用トランジスタQ3、参照用トランジスタQ4およびラッチ用トランジスタQ5、Q6に電流が流れないようにされる。また、リセット用トランジスタQ14はロウレベルのリセット信号Rによってオフ状態とされる。これによって、ラッチ回路71には、電源電圧Vccからコレクタ抵抗R1、セット用トランジスタQ13、ダイオードD1、定電流源トランジスタQ12、エミッタ抵抗R5を通して電源電圧端子VEEに向かって所定の電流値の電流が流れる。その結果、出力端子Qにはハイレベルが出力され、出力端子Q'にはロウレベルが出力される。

【0044】従って、このセットモードは、システムデータ端子Dに入力される信号のレベルにかかわらず出力端子Qにハイレベル、出力端子Q'にロウレベルが出力される点でハイ入力固定モードと類似している。両モードの相違は、ハイ入力固定モードではシステムデータ端子Dに入力される信号のレベルにかかわらずハイ入力固定用端子HIへのハイレベル入力を優先させ、かつこれをクロックCKで取り込んでクロック/CKをハイレベルに変化させることで出力端子Qのハイレベルをその後も維持させることができる。これに対し、セットモードでは、セット信号Sをハイレベルにしている間出力端子Qをハイレベルさせ、セット信号Sをロウレベルに変化させる際にクロック/CKをハイレベルにしておけば出力端子Qのハイレベルをその後も維持させることができるとともに、セット信号Sをロウレベルに変化させる際にクロックCKをハイレベルにしておけばシステムデータ端子Dに入力される信号のレベルに応じたレベルを出力端子Qに出力させることができる。

【0045】診断時においては、上記2つのモードの相違を考慮に入れて、セットモードまたはハイ入力固定モードのいずれを使用するかが選択される。例えば、クロックCKがロウレベルの時に出力端子Qのレベルをハイレベルに設定してそれを後段の論理回路に入力させて診断を行なうとともに、次にクロックCKがハイレベルに変化した時に前段の論理回路の診断結果データをシステムデータ端子Dより取り込んでラッチしたいような場合には、セットモードを選択すればよい。また、システムデータ端子Dに入力される信号のレベルの変化に影響されずに、クロックCKのロウレベルからハイレベルへの変化と同時に出力端子Q(またはQ')に接続された後

16

段の論理回路に、診断のためにハイレベル(またはロウレベル)の信号を供給したいような場合にはハイ入力固定モードが選択される。

【0046】次に、リセットモードについて説明する。リセットモードは、リセット端子Rにハイレベル(0V)、ハイ入力固定端子HI、ロウ入力固定端子LI及びセット端子Sにロウレベル(-2.0V)が入力されることによって設定される。リセットモード設定時におけるラッチ回路71の動作は、上記セットモード設定時における動作とほぼ同様であるので、詳細な説明は省略する。また、リセットモードとロウ入力固定モードとの使い分けに関しても、セットモードとハイ入力固定モードとの使い分けに関する上述の説明を参照すれば容易に理解され得ると考えられるので、その説明は省略する。以上、図4に示されているラッチ回路71の構成および動作並びにラッチ回路71に設定可能な各種モードについて説明した。

【0047】図3に示されている入力用フリップフロップFF11~FF13に適したラッチ回路71の構成および動作は、図4に示されているラッチ回路71の構成および動作とほぼ同じであるので、詳細な説明は省略する。両者の異なる点のみ説明すれば、図3の回路ではスイッチトランジスタQ7のベースが、図4のクロック端子CKと異なるクロック端子CKiに接続されていること、スイッチトランジスタQ8のベースが図4のクロック端子/CKと異なるクロック端子/CKiに接続されていること、および図3の回路では入力用トランジスタQ1のベースに静電保護回路81が接続され、入力信号が静電保護回路81を介して入力されるように構成されていることである。

【0048】図5に示されている出力用フリップフロップFF41、FF42に適したラッチ回路71の構成および動作は、図4に示されているラッチ回路71の構成および動作とほぼ同じであるので、詳細な説明は省略する。両者の異なる点のみ説明すれば、図5の回路ではスイッチトランジスタQ7のベースが、図4のクロック端子CKと異なるクロック端子CKoに接続されていること、スイッチトランジスタQ8のベースが図4のクロック端子/CKと異なるクロック端子/CKoに接続されていること、および図5の回路では図4の入力用トランジスタQ1の代わりに互いに並列接続されそれぞれ異なる入力端子I1、I2、I3にそのベースが接続されている3つの入力用トランジスタQ1a、Q1b、Q1cが設けられていること、図4の回路におけるエミッタフォロウ(トランジスタQ11およびエミッタ抵抗R4)の代わりに、差動トランジスタ対Q17、Q18と定電流源トランジスタQ15とそのエミッタ抵抗R8とからなるバッファアンプ82とそれによって駆動されるエミッタフォロウ型出力トランジスタQ0が設けられていることである。

【0049】上記エミッタフォロウ型出力トランジスタQ0は、負荷駆動能力が大きくなるよう、比較的大きな素子サイズで形成され、かつそのエミッタ端子が直接出力端子51(52)に接続されている。これによって、上記エミッタフォロウ型出力トランジスタQ0は、上記出力端子51(52)に接続される図示しない外部配線に起因する大きな容量性負荷を駆動することが可能となる。なお、上記出力端子51(52)には、通常動作モード時に入力端子I1~I3に入力される信号のOR論理をとった信号が出力され、内部出力端子51(52)には、通常動作モード時に入力端子I1~I3に入力される信号のNOR論理をとった信号が出力される。図5において、出力トランジスタQ16は図4のトランジスタQ11に対応し、エミッタ抵抗R9は図4のエミッタ抵抗R4に対応する。

【0050】なお、上述した説明においては、図3のクロック端子CKiおよび/CKiに逆相の信号がそれぞれ供給されるとしたが、これに限定されるものでなく、クロック端子CKiのハイレベルを-1.7V、ロウレベルを-2.3Vとしてクロックの振幅を大きくし、かつクロック端子/CKiに与えられる信号が、クロック端子CKiに供給される信号のハイレベルとロウレベルの中間の-2.0Vのような定電圧としてもよい。また、同様に、図5の回路におけるクロック端子CKoおよび/CKoに逆相の信号を供給する代わりに、振幅の大きなクロックとその中間の定電圧としてもよい。

【0051】このように、論理LSIの外部からの信号が供給される入力端子41、42または43と論理回路11との間に設けられた入力部のラッチ回路内のスイッチトランジスタQ8のベース電圧および論理LSIの外部へ信号が供給するための出力端子51または52と論理回路13との間に設けられた出力部のラッチ回路内のスイッチトランジスタQ8のベース電圧は、定電圧とされてもよい。何故ならば、上記入力部および出力部のラッチ回路は、診断モード時にのみ用いられるため、それらのラッチ回路の使用頻度が低いからであり、クロック端子数の削減と消費電力の低減を図るためである。

【0052】論理回路と論理回路との間(例えば11と12との間)に設けられた内部のラッチ回路内のスイッチトランジスタQ7およびQ8のベースには、互いに逆相のクロック信号が供給されるのが望ましい。何故ならば、内部のラッチ回路は、通常動作モード設定時および診断モード設定時のいずれのモードでも使用されるため、使用頻度が高くかつ通常動作時のシステムデータを正確にラッチするためである。システムデータをラッチするタイミングの制御は、テストデータをラッチするタイミングの制御よりも正確に行なわれることが要求される。内部のラッチ回路がシステムデータを正確にラッチするためには、クロック信号のスキューが少ないことが必要であり、そのためにはクロック信号を差動形態で供

給するのがよいからである。

【0053】また、図3~図5のラッチ回路においては、ハイ入力固定端子HI、ロウ入力固定端子LI、セット端子Sおよびリセット端子Rに入力される信号はCMOSレベル(例えば0V~-2.0V)され、システムデータ端子Dに入力される信号はCMOSレベルよりも振幅に小さなECLレベル(例えば-0.85V~-1.75V)とされる。ハイ入力固定端子HIのハイレベルが、システムデータ端子Dのハイレベル及び参照電圧VBBよりも高く、かつハイ入力固定端子HIのロウレベルが参照電圧VBBよりも低く設定されるため、システムデータ端子Dに入力される信号のレベルに従ってオン、オフされる入力トランジスタQ1および参照用トランジスタQ4に優先してハイ入力固定用トランジスタQ2をオン状態とさせることができる。ロウ入力固定用トランジスタQ3についても同様である。

【0054】図6は、図2に示されている診断用補助回路72およびNORゲート73の具体的回路を示す。動図に示されているように、診断用補助回路72は、複数のCMOS回路で構成される。なお、矢印の付加されているMOSFETはPチャネルMOSFETであり、矢印の付加されていないNチャネルMOSFETと区別される。スキャンアウトデータSoを出力するNORゲート73は、ECLゲートで構成されている。NORゲート73は、前段のフリップフロップが選択状態とされたとき、すなわち前段のフリップフロップの診断用補助回路72にロウレベルの選択信号/SELが供給されたときに、前段のフリップフロップの出力信号/Qに従ったスキャンアウトデータSoを出力する。このようにスキャンアウトデータSoの出力回路にECLゲートとされることによりレベル変換回路が不要になる。診断用補助回路72を構成するCMOS回路は、電源電圧Vcc2(0Vのようなグランド電位)および負の電源電圧VTT(-2.5V)との間に接続され、NORゲート73は電源電圧Vcc1および負の電源電圧VEE(-4.0V)、VTT(-2.5V)との間に接続され、定電圧Vcsおよび参照電圧VBBが供給される。

【0055】図6に示されている診断補助回路72は同図のものに限定されない。例えば、図6の論理ゲートG1、G2、G3、G4は、図16、図17または図18のような回路とすることができる。このうち、図16の回路は、図6の論理ゲートの3個の並列NチャネルMOSFETを定電流源C1に置き換えるとともに、負の電源電圧としてVTT(-2.0V)の代わりにVEE(-4.0V)を使用したものである。これにより、図6の論理ゲートに比べてより低いロウレベル(VEE)を発生することができ、図3~図5に示されているECL回路からなるラッチ回路71内にレベル調整用のダイオードD1を設けることなく、CMOS回路の出力信号を入力させることができるようになる。

19

【0056】また、出力の立下り時間を一般に特性バラツキの大きなMOSFETではなく、定電流源によって決めることができるようになるので、出力立下り時のノイズも抑えやすくなる。しかも、この論理ゲート部の直前までのCMOS回路の電源電圧には $V_{TT}$ を使用できるため、診断補助回路全体としての電源ノイズはそれほど増加しない。また、図6の論理ゲートG1、G2、G3、G4の出力は、診断時にラッチ回路71を所定のモードに設定させたい場合に一時的にハイレベルにされるのみで大部分の時間はロウレベルにされるため、NチャネルMOSFETを定電流源C1に置き換えたことによる消費電力の増加はほとんどない。なお、定電流源C1はECL回路の定電流源（図3～図5参照）と同様に、ベースに定電圧が印加されたバイポーラ・トランジスタとエミッタ抵抗とで構成することができる。バイポーラ・トランジスタの代わりに型MOSFETとしてもよい。また、定電流源のトランジスタのエミッタまたはソースに接続される抵抗は省略することも可能である。

【0057】図17の回路は、負の電源電圧として $V_{TT}$ の代わりに $V_{EE}$ を使用するとともに、出力端子と電源電圧 $V_{CC}$ および $V_{EE}$ との間にクランプ用のN-MOSFET $Q_{c1}$ とP-MOSFET $Q_{c2}$ を設けたものである。MOSFET $Q_{c1}$ のゲート端子に $-2.0V$ のような定電圧 $V_{GG1}$ を、またP-MOSFET $Q_{c2}$ のゲート端子に $-1.0V$ のような定電圧 $V_{GG2}$ を印加させることにより出力信号のレベルを、次段のECL回路のバイポーラ・トランジスタ $Q_2$ 、 $Q_3$ 、 $Q_{13}$ 、 $Q_{14}$ の飽和や耐圧を考慮した最適なレベルにして与えることができるようになる。図17のクランプ用MOSFET $Q_{c1}$ と $Q_{c2}$ のうち $V_{CC}$ 側の $Q_{c1}$ のみ設け、 $Q_{c2}$ は省略すれば次段の回路のバイポーラ・トランジスタの飽和を抑えやすくしかも図16の回路と同様の理由により消費電力の増加はほとんどない。さらに、 $V_{EE}$ 側のクランプ用MOSFET $Q_{c2}$ のゲート制御電圧 $V_{GG2}$ の設定の仕方によっては、図3～図5に示されているECL回路からなるラッチ回路71内にレベル調整用のダイオードD1を設けることなく、CMOS回路の出力信号を入力させることができる。

【0058】図18の回路は、負の電源電圧として $V_{TT}$ の代わりに $V_{EE}$ を使用するとともに、電源電圧 $V_{CC}$ および $V_{EE}$ 側にそれぞれダイオードD11、D12を設けて、CMOS回路の電源電圧を調整して与えることで、診断補助回路72の出力信号を、次段のECL回路からなるラッチ回路71内のバイポーラ・トランジスタ $Q_2$ 、 $Q_3$ 、 $Q_{13}$ 、 $Q_{14}$ の飽和や耐圧を考慮した最適なレベルにして与えることができるようにしたものである。さらに、図18の回路においては、同図のように、ダイオードD11のカソード端子とダイオードD12のアノード端子との間に、 $1M\Omega$ のような高抵抗 $R_a$ を接続して常時電流を流してやることでダイオードD1

20

1、D12の動作（電圧降下）を安定させるようにしている。上記高抵抗 $R_a$ は、論理ゲートG1～G4で共用することができる。なお、高抵抗 $R_a$ は、MOSFETまたはポリシリコン等によって構成される。また、適切なレベルに設定するために、ダイオードD1、D2を複数個接続するようにしても良い。

【0059】次に、上記実施例のフリップフロップ（図2）を適用した論理LSIにおける具体的な診断方式の一例を図7を用いて説明する。図7は、本発明における診断方式の理解を容易にするため、多数あるフリップフロップのうち3個を取り出して模式的に示したものである。ここでは、フリップフロップFF1とFF2の出力が、ECLゲートで構成されたORゲートG10を介して、フリップフロップFF3のシステムデータ端子Dに入力されるように構成されている。フリップフロップFF1とFF2のクロック端子Cには、システムクロックCK1が共通に供給され、フリップフロップFF3のクロック端子CにはシステムクロックCK2が供給される。上記各フリップフロップの構成は図2、図4、図6に示されているものと同一であり、論理LSIの外部から、あるいは論理LSIの外部へ信号を入力または出力するために設けられる静電保護回路81や出力トランジスタ $Q_o$ は付加されていない。しかしながら、フリップフロップFF1～FF3は、これに限定されるものでなく、上記静電保護回路81や出力トランジスタ $Q_o$ を含む入出力部の負と同一回路形式とされてもよい。

【0060】診断制御回路10は、外部から供給されるアドレス信号A0、A1をデコードして上記フリップフロップFF1～FF3の選択信号SEL1、SEL2、SEL3を形成する3個のNANDゲートからなるデコーダDECと、テストデータTDとスキャンクロックCKsとから各フリップフロップに対するセット信号/S、リセット信号/Rを形成する2個のNANDゲートG11、G12と、モード切替信号TMを各フリップフロップに分配するバッファBFFとから構成されている。また、各フリップフロップFF1～FF3のスキャンアウトデータSoは、ORゲートG13を介して診断データ出力ピン55より外部へ出力される。上記ORゲートG10およびG13は、フリップフロップFF1～FF3の最終段がエミッタフォロウで構成されているような場合、ワイヤードオアとすることが可能である。

【0061】一例として、フリップフロップFF2の出力信号の立下り時間すなわち予定した遅延時間内にFF2の出力信号が立ち上がるか否かを診断する方法について説明する。この診断においては、まず論理LSIの外部から論理レベル「0」とされるモード切替信号TM（通常動作モード）を与える。次に、フリップフロップFF1を選択するアドレス信号A0、A1を、診断制御回路10内のデコーダDECに入力するとともに、テストデータTDを「0」とし、スキャンクロックCKs

21

(パルス)を与える。すると、診断制御回路10内のN ANDゲートG12の出力がハイレベルに変化してフリップフロップFF1内のラッチ回路71がリセットされ、「0」が保持される。次に、同様の動作をフリップフロップFF2とFF3についても行ない、フリップフロップFF2とFF3内のラッチ回路71をリセットさせ、「0」を保持させる。

【0062】それから、モード切替信号TMを「1」(診断モード)にして、フリップフロップFF1を選択するアドレス信号A0、A1を入力するとともに、テストデータTDを「0」とし、スキャンクロックCKs (パルス)を与える。すると、診断用補助回路72へ入力されるセット信号/Sが「1」、リセット信号/Rが「0」とされるため、フリップフロップFF1の診断用補助回路72内のラッチ回路LTには「0」がラッチされる。次に、モード切替信号TMを「1」(診断モード)にして、フリップフロップFF2を選択するアドレス信号A0、A1を入力するとともに、テストデータTDを「1」とし、スキャンクロックCKs (パルス)を与え、フリップフロップFF2の診断用補助回路72内のラッチ回路LTに「1」をラッチさせる。

【0063】その後、モード切替信号TMを「1」(診断モード)にして、システムクロックCK1 (パルス)を与える。この時、フリップフロップFF1とFF2のNORゲートG1およびG2には、選択信号/SELの反転信号「0」およびモード切替信号TMの反転信号「0」がそれぞれ入力されるため、NORゲートG1およびG2のいずれかの出力が「1」レベルとされる。すなわち、フリップフロップFF1ではラッチLTに「0」がラッチされているため、システムデータに優先してロウ入力固定端子LIの状態がラッチ回路71に取り込まれる。また、フリップフロップFF2ではラッチLTに「1」がラッチされているため、システムデータに優先してハイ入力固定端子HIの状態がラッチ回路71に取り込まれる。

【0064】これによって、図8に示すようにフリップフロップFF2の出力Qはハイレベルに変化する(タイミングt1)。また、図示しないが、フリップフロップFF1の出力はロウレベルに変化する(システムクロックCK1が入力される直前のフリップフロップFF1の出力がハイレベルであった場合)。すると、所定の遅延時間後にORゲートG10の出力は、その一方の入力がハイレベルに変化したことにより、ハイレベルに変化する(タイミングt2)。ここで、システムクロックCK1が与えられてから所定時間経過後、システムクロックCK2 (パルス)を与える。すると、フリップフロップFF3内のラッチ回路71がフリップフロップFF2の出力Q (ハイレベル)を取り込んで、FF3の出力Qがハイレベルに変化する(タイミングt3)。このとき、フリップフロップFF2からFF3への信号伝達系に故

22

障(所定以上の遅延)があると、フリップフロップFF3にデータ「1」が取り込まれないことになる。

【0065】一方、フリップフロップFF3の状態は、アドレス信号A0、A1によってFF3を選択することにより、NORゲート73を介して診断データ出力ピン55へ出力させることができるため、出力ピン55を監視することにより故障があったこと、すなわちフリップフロップFF2の出力信号が予定した遅延時間内に信号が立ち上がらないことを判定することができる。システムクロックCK2が与えられたとき、スキャンクロックCKsは与えられない。もしこれらが与えられた場合、ORゲートG10の出力信号すなわちシステムデータに優先してテストデータTDがフリップフロップFF3内のラッチ回路71に取り込まれてしまうからである。

【0066】図7において診断と対象となるのは、フリップフロップFF1、FF2およびFF3との間にあるORゲートG10の論理機能である。この診断においては、まずモード切替信号TMが「0」(通常動作モード)にされる。そして、フリップフロップFF1を選択するアドレス信号A0、A1がデコードDECに入力され、テストデータTDが「0」とされ、スキャンクロックCKs (パルス)が与えられる。その結果、フリップフロップFF1の診断用補助回路72内のNORゲートG4の出力がハイレベルに変化し、FF1内のラッチ回路71にリセット信号が入力され、ラッチ回路71はリセット状態とされる。すなわち、フリップフロップFF1のラッチ回路71は「0」を保持する。次に、フリップフロップFF3について同様の動作が行なわれ、FF3内のラッチ回路71に「0」が保持される。

【0067】一方、フリップフロップFF2のデータは以下のようにして設定される。まず、テストデータTDが「1」とされ、モード切替信号TMが「0」とされた状態で、フリップフロップFF2を選択するためのアドレス信号A0、A1が入力され、スキャンクロックCKs (パルス)が与えられる。その結果、フリップフロップFF2の診断用補助回路72内のNORゲートG3の出力がハイレベルに変化し、FF2内のラッチ回路71がセット状態にされる。すなわち、フリップフロップFF2内のラッチ回路71は「1」を保持する。

【0068】次に、モード切替信号TMが「0」(通常動作モード)にされたままの状態、フリップフロップFF3にシステムクロックCK2 (パルス)が与えられる。その結果、フリップフロップFF2の保持データがフリップフロップFF3のラッチ回路71に取り込まれる。このフリップフロップFF3の保持データは、アドレス信号A0、A1によってFF3を選択することにより、NORゲート73を介して診断データ出力端子55へ出力させることができる。従って、出力端子55を監視することによりフリップフロップFF3から読み出されたデータが「0」であればORゲートG10 (もしく

23

はフリップフロップFF2またはFF3)の論理機能に故障があることを判定することができる。上述のように、論理機能を診断する場合には、ハイ入力固定端子HIおよびロウ入力固定端子LIに信号を供給するための論理回路(LT, G1, G2)等は用いられない。

【0069】次に、モード切替信号TMが「0」(通常動作モード)にされたままの状態、フリップフロップFF3にシステムクロックCK2(パルス)が与えられる。その結果、フリップフロップFF2の保持データがフリップフロップFF3のラッチ回路71に取り込まれる。このフリップフロップFF3の保持データは、アドレス信号A0, A1によってFF3を選択することにより、NORゲート73を介して診断データ出力端子55へ出力させることができる。従って、出力端子55を監視することによりフリップフロップFF3から読み出されたデータが「0」であればORゲートG10(もしくはフリップフロップFF2またはFF3)の論理機能に故障があることを判定することができる。上述のように、論理機能を診断する場合には、ハイ入力固定端子HIおよびロウ入力固定端子LIに信号を供給するための論理回路(LT, G1, G2)等は用いられない。

【0070】上記方法を応用することにより、図1の論理LSIにおいて、フリップフロップFF11~FF13にテストデータをラッチさせ、端子32にシステムクロックCK1を供給し、フリップフロップFF21またはFF22にデータを取り込ませることにより、組合せ論理回路11の論理機能を診断することが可能である。また、フリップフロップFF21, FF22にテストデータをラッチさせ、端子33にシステムクロックCK2を供給し、フリップフロップFF31またはFF32あるいはFF33にデータを取り込ませることにより、組合せ論理回路12の論理機能を診断することが可能である。さらに、フリップフロップFF31~FF33にテストデータをラッチさせ、端子34に診断用出力クロックシステムクロックCK0を供給し、フリップフロップFF41またはFF42にデータを取り込ませることにより、組合せ論理回路13の論理機能を診断することが可能である。

【0071】次に、本発明に係る診断方式をゲートアレイに適用する場合の好適な一実施例を説明する。図9はゲートアレイのチップ全体のレイアウトの一例を示す。同図において、100はシリコンのような半導体チップ(半導体基板)、110は半導体チップ100の周縁に設けられた入出力部である。この入出力部110には複数の入出力回路セル111が半導体チップ100の周縁に沿って配置されている。各入出力回路セル111は、それぞれ入力回路を構成するための素子を有する領域と、出力回路を構成するための素子を有する領域と、入出力端子としてのボンディングパッドとを備えている。各入出力回路セル111は、マスタスライス法による配

24

線形成により、入力回路または出力回路として選択的に形成可能にされている。

【0072】また、図9において、200は内部ロジック部で、この内部ロジック部200には、1つの半導体基板上に形成された複数の基本セル210がマトリックス状に配置されている。内部ロジック部200の周縁の一部には、前記実施例において説明した診断制御回路10の形成領域が配置されている。上記基本セル210のそれぞれは、図10に示すように、中央に前述した診断用補助回路72を構成可能なP-MOSFETとN-MOSFETとが形成されているCMOS領域(MOSFET形成領域)211と、内部ECLゲート回路、ラッチ回路71またはNORゲート73などのECL回路を構成可能なバイポーラトランジスタ素子と抵抗素子が形成されているバイポーラ領域(バイポーラ・トランジスタ形成領域)212A, 212Bとを含む。各基本セルは、全体として矩形状をなす。図10に示されるように、CMOS領域211は、バイポーラ領域212Aと212Bとに挟まれるように基本セル内に配置されている。

【0073】上記バイポーラ領域212Aおよび212Bの内部のバイポーラ・トランジスタ素子および抵抗素子は、図10のCMOS領域211上に記入された一点鎖線X-X'に対して互いに線対称(もしくは鏡面对称)となるように、レイアウトがなされている。すなわち、バイポーラ領域212Aの四隅が符号A, B, C, Dとされた場合、それらに対応するバイポーラ領域212Bの四隅は、図10に示されているごとく、A', B', C', D'とで示される位置に来るように各素子が配置される。さらに、図10において、点線で示されるように、基本セル210の上下に配置される基本セル210'と210''は、基本セル210のバイポーラ領域212Aと基本セル210'のバイポーラ領域212B'が線対称となり、基本セル210のバイポーラ領域212Bと基本セル210'のバイポーラ領域212A'が線対称となるように配置される。

【0074】なお、上記バイポーラ領域212Aおよび212Bの具体的な素子レイアウトは、後述の図14に示されるので、ここでは説明されないが、上述のようにバイポーラ領域212Aおよび212Bが線対称とされることにより、電源配線(Vccライン, VEEライン等)のレイアウト設計が容易となる。上記基本セル210は、マスタスライス法による配線形成により、図1に示されているフリップフロップFF11~FF42もしくは組合せ論理回路11~13を構成するECL論理ゲートのいずれをも構成することが可能とされている。例えば、図10の基本セル210を使ってフリップフロップFF11~FF42を構成する場合には、図11に示すように、CMOS領域211に形成されているMOSFET素子を用いて診断用補助回路72が構成され、バ

25

イボラ領域212Aまたは212Bに形成されているバイポーラトランジスタ素子と抵抗素子を用いて、ラッチ回路71とNORゲート73が構成される。

【0075】一方、図10の基本セル210を使って組合せ論理回路11~13を構成する場合には、図12に示すように、CMOS領域211は未使用領域とされ、バイポーラ領域212Aおよび212Bに形成されているバイポーラトランジスタ素子と抵抗素子を用いて、NORゲートやORゲート等のECL論理ゲートが構成される。上記のように、バイポーラトランジスタ素子および抵抗素子を含む領域と、MOSFET素子を含む領域とを1つの基本セルと定義し、複数の基本セルを半導体基チップ上に規則的に配置することにより、回路のレイアウト設計および自動配線設計が容易になる。すなわち、バイポーラトランジスタ素子および抵抗素子を使ってシステムを構成する高速な論理回路（フリップフロップや論理ゲート）を形成し、MOSFET素子を使って任意の部位（バイポーラ領域にフリップフロップが形成されている基本セル内のCMOS領域）に診断用補助回路を形成することができる。従って、診断用補助回路のチップ上でのレイアウト位置が自由に選択できるので、半導体集積回路のレイアウト設計や自動配線が簡単に行なえる。

【0076】図13および図14には上記基本セル210を構成するCMOS領域211のMOSFET素子および配線のレイアウトの一実施例が示されている。また、図15には上記基本セル210を構成するバイポーラ領域212A（212B）のバイポーラトランジスタ素子、抵抗素子および配線のレイアウトの一実施例が示されている。なお、図15には、バイポーラ領域212A、212Bに形成されているバイポーラトランジスタ素子と抵抗素子を用いて図4のラッチ回路71を構成した場合の配線レイアウトの一例が示されている。図13および図14において、221はPチャネルMOSFETの形成領域、222はNチャネルMOSFETの形成領域、223は多結晶シリコンで形成されたゲート電極、224はアルミニウム等よりなる一層目の金属配線、225はアルミニウム等よりなる二層目の金属配線である。また、符号SEL、R'、TMおよびS'は、図6に示されている同一符号の信号の入力端子をそれぞれ示し、符号R、HI、LIおよびSは、図6に示されている同一符号の信号の出力端子をそれぞれ示す。また、図13および図14において、VccおよびVtはそれぞれ電源配線を示す。

【0077】図14には、基本セル210を構成するCMOS領域211に、セット信号S'、リセット信号R'およびモード切替え信号TMを供給するための信号配線226~228が、図13に示されるMOSFET素子および配線に加えて描かれている。上記信号配線226~228は、それぞれセット端子S'、リセット

26

端子R'およびモード切替え端子TMにそれぞれ結合される。信号配線226~228は、アルミニウム等からなる4層目の金属配線である。セット端子S'、リセット端子R'およびモード切替え端子TMと信号配線226~228とは、3層目の金属配線を介して接続される。

【0078】上記基本セル210の大きさは、特に制限されるものでないが、 $100\mu\text{m} \times 100\mu\text{m}$ とされ、CMOS領域211は $20\mu\text{m} \times 100\mu\text{m}$ とされ、バイポーラ領域212Aおよび212Bはそれぞれその大きさが $40\mu\text{m} \times 100\mu\text{m}$ とされる。セット信号S'、リセット信号R'およびモード切替え信号TMは、複数の基本セルのCMOS領域211に対して共通に与えられる。そのため、上記セット信号S'、リセット信号R'およびモード切替え信号TMを供給するための信号配線226~228は、CMOS領域211上に形成される。これによって、信号配線226~228の配線長を短くすることができる。

【0079】図15において、231~244はバイポーラトランジスタ素子、251、252は多結晶シリコンより形成された抵抗素子、262はアルミニウム等からなる1層目の金属配線、261はアルミニウム等からなる2層目の金属配線である。また、符号C、EおよびBで示されているのは、それぞれバイポーラトランジスタのコレクタ領域、エミッタ領域およびベース領域である。さらに、符号R、HI、LI、S、D、CKおよびCKは、図4に示されている同一符号の信号の入力端子をそれぞれ示し、符号Q、Q'は図4に示されている同一符号の信号の出力端子をそれぞれ示す。Vcc、VEE、Vt、VcsおよびVbbは、電圧供給端子であり、それぞれ異なった電圧が供給される。

【0080】以上説明したように上記実施例は、組合せ論理回路の前後に配置されたフリップフロップ（データ保持手段）を外から与えられるアドレス信号によって選択して外部から直接テストデータを入れたり、特定のフリップフロップの保持データを外部端子へ直接読み出せるように構成された診断機能付き論理LSIにおいて、本来のシステム信号が供給されるラッチ回路はバイポーラトランジスタ回路で構成し、診断用の信号が供給され上記ラッチ回路への制御信号を形成するラッチ機能付き診断用補助回路はCMOS回路で構成するとともに、上記ラッチ回路およびスキャンアウトデータを出力するための回路の出力信号をバイポーラ論理ゲートを介して出力させるようにしたので、通常動作モードでシステムデータが供給されるフリップフロップはバイポーラ回路で構成されるため信号の遅延が少ないとともに、通常動作モード時には動作しないため高速性を要求されない診断用補助回路はCMOS回路で構成されるため、消費電力が少なく済む。また、ラッチ回路およびスキャンアウトデータを出力するための回路の出力信号をECLゲートを介して出力されるので、レベル変換回路やC

MOS専用電源が不要となり、回路設計が容易になるという効果がある。

【0081】また、上記実施例では、CMOS回路の電源に、 $V_{cc}$  (0V) と  $V_{TT}$  を使用して、このうち  $V_{cc}$  はカレントスイッチ用とエミッタフォロウ用とで電源ラインを分けて供給し、CMOS回路にはエミッタフォロウ用  $V_{cc}$  を使用するようにしたので、CMOS回路で発生する電源ノイズは主にエミッタフォロウ用  $V_{cc}$  と  $V_{TT}$  にのみ伝わるようになるが、エミッタフォロウの出力電圧は、主にその前後のカレントスイッチのコレクタ電圧で決まり、エミッタフォロウ用の電源電圧の変動の影響は受けにくい。そのため、CMOS回路で発生する電源ノイズはECL回路に伝わりにくくなるという効果がある。

【0082】また、CMOS回路では、ハイレベルが  $V_{cc}$  (0V) とされることから、CMOS回路からの信号はハイレベルが  $V_{cc}$  (0V) となり、ECL回路に対して通常のECLレベルの信号 (-0.8~-1.8V) よりも優先した入力を行なうことができ、システムデータによらず診断用のデータの入力を行なうために有効な機能となる。ECL回路に  $V_{cc}$  レベルの信号を入力することでバイポーラ・トランジスタは多少飽和するが、飽和することでバイポーラ・トランジスタのベース電流が増加し、PMOSFETのオン抵抗による電圧降下が増し、ベース電圧が下がるため弱い飽和のままで済む。

【0083】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば上記実施例では、診断制御回路10を専用の論理回路として設計しているが、基本セル210を使って構成しても良い。以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるECL形の論理LSIに適用した場合について説明したが、この発明はそれに限定されず半導体集積回路装置一般に利用することができる。

#### 【0084】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。すなわち、アドレス信号によりランダムにフリップフロップを指定してテストデータの入力および保持データの出力を行なえるようにされたランダムアドレス方式の診断機能付きの論理LSIにおいて、信号の遅延が低減されかつ消費電力が減少されるとともに、回路設計が容易になる。また、組合せ論理回路の前後に配置されたフリップフロップ（データ保持手段）をECL回路からなるラッチ回路とCMOS回路からなる診断用補助回路とにより構成した場合に、CMOS回路で発生する電源ノイズがECL回路に伝わりにくくな

る。

#### 【図面の簡単な説明】

【図1】本発明を適用した論理機能付き半導体集積回路装置の一例としての論理LSIの概略構成を示すブロック図である。

【図2】本発明を適用した論理LSIにおけるフリップフロップの一実施例を示す論理図である。

【図3】入力用フリップフロップを構成するラッチ回路の一例を示す回路図である。

【図4】組合せ論理回路間のフリップフロップを構成するラッチ回路の一例を示す回路図である。

【図5】出力用フリップフロップを構成するラッチ回路の一例を示す回路図である。

【図6】フリップフロップを構成する診断用補助回路の一例を示す回路図である。

【図7】実施例のフリップフロップを適用した論理LSIにおける具体的な診断方式の一例を説明するためのブロック図である。

【図8】フリップフロップの出力信号の立上り時間の診断時のタイミングチャートである。

【図9】本発明をゲートアレイに適用した場合のチップ全体のレイアウト図である。

【図10】実施例のゲートアレイに用いる基本セルの構成例を示す図である。

【図11】基本セルの使用例を示す説明図である。

【図12】基本セルの他の使用例を示す説明図である。

【図13】基本セル内のCMOS領域の素子および素子間接続用配線のレイアウトの一例を示す平面図である。

【図14】図13の基本セル内のCMOS領域に診断用の信号を供給するための信号配線のレイアウトの一例を示す平面図である。

【図15】基本セル内のバイポーラ領域のレイアウトの一例を示す平面図である。

【図16】図6の診断用補助回路内の論理ゲートG1~G4の他の構成例を示す回路図である。

【図17】図6の診断用補助回路内の論理ゲートG1~G4のさらに他の構成例を示す回路図である。

【図18】図6の診断用補助回路内の論理ゲートG1~G4のさらに他の構成例を示す回路図である。

【図19】図1の組合せ論理回路を構成するECLゲートの回路図である。

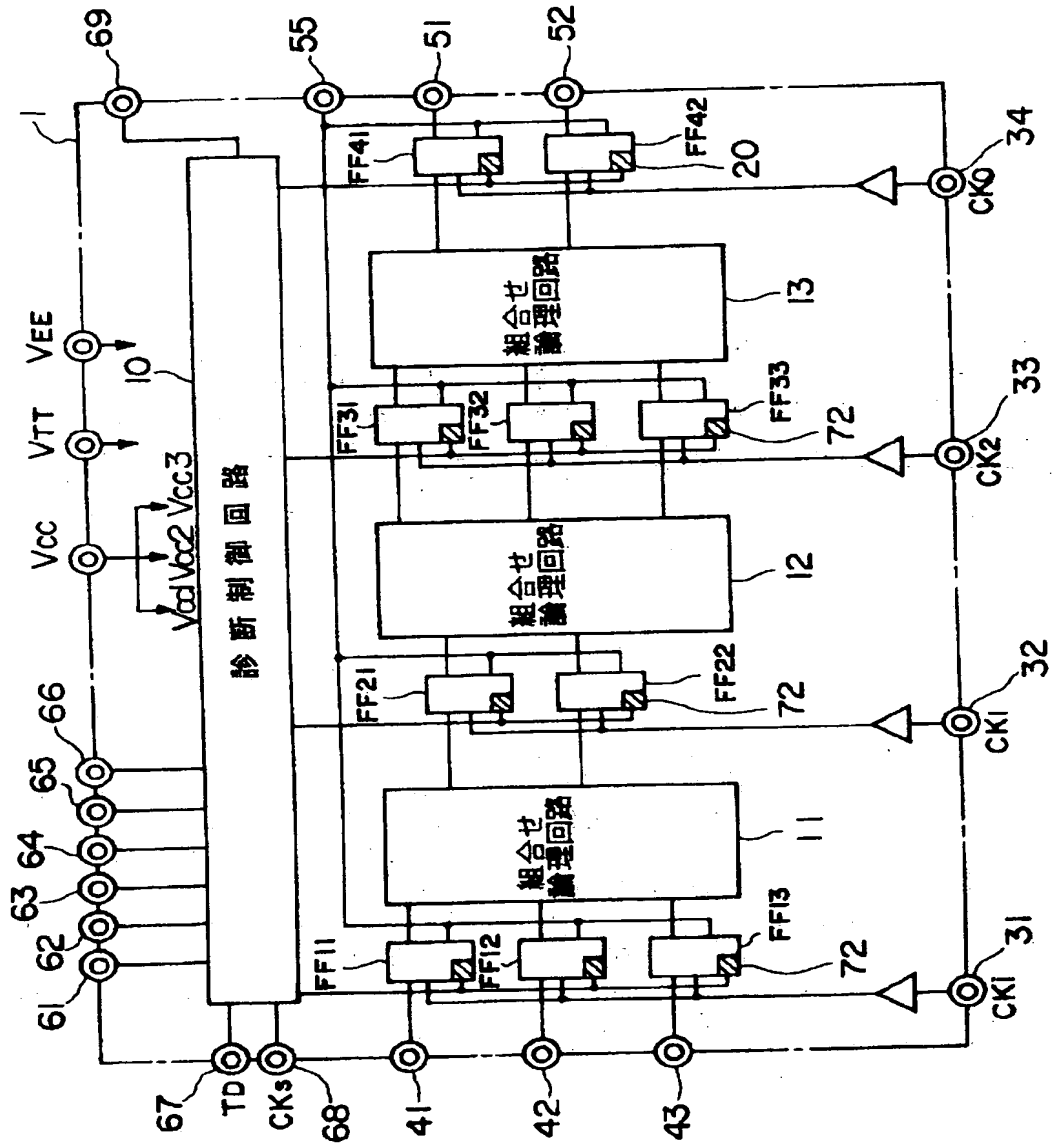
#### 【符号の説明】

- 10 診断制御回路
- 41, 42, 43 入力ピン
- 51, 52 出力ピン
- 55 診断データ出力ピン
- 61~65 アドレスピン
- 71 バイポーラ・ラッチ回路
- 72 CMOS診断用補助回路
- 73 ECL論理ゲート

29  
100 半導体チップ  
210 基本セル

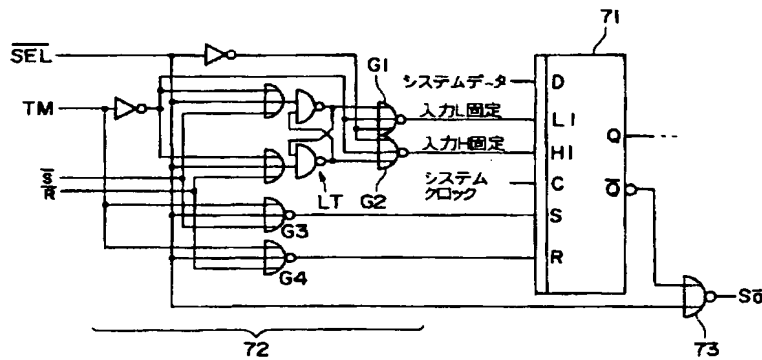
\* 223 ゲート電極  
\* 231~244 バイポーラトランジスタ

【図1】

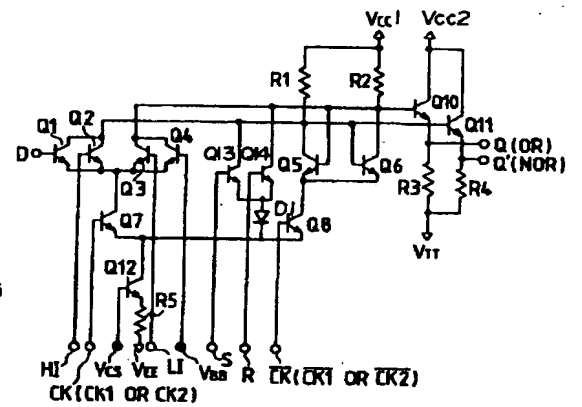




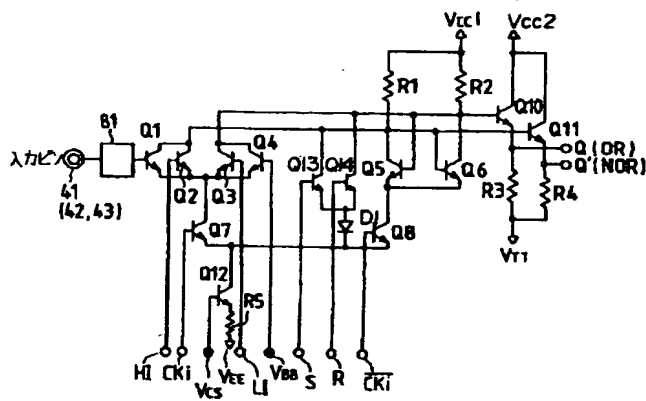
【図2】



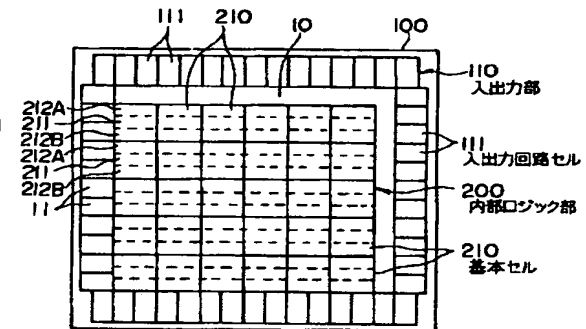
【図4】



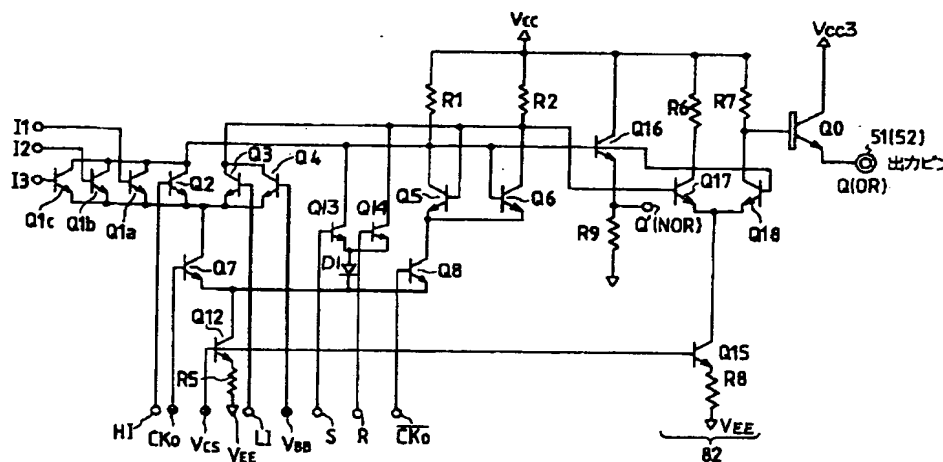
【図3】



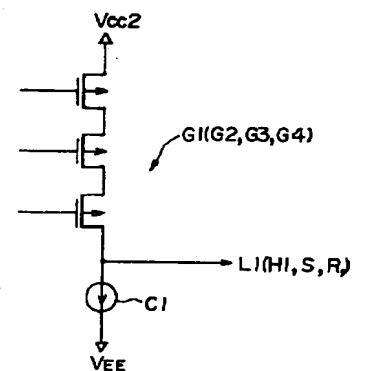
【図9】



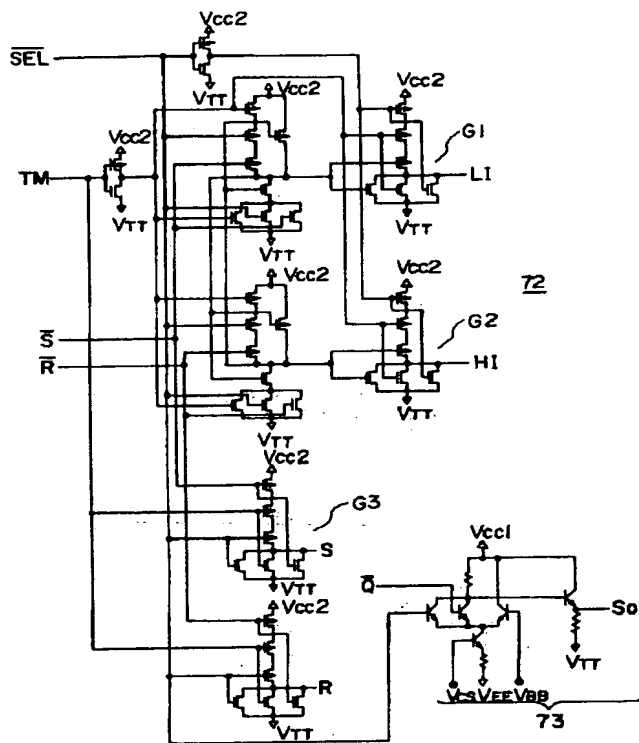
【図5】



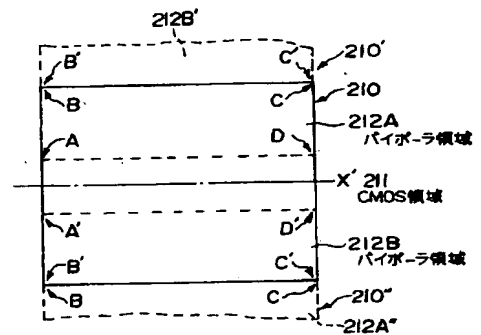
【図16】



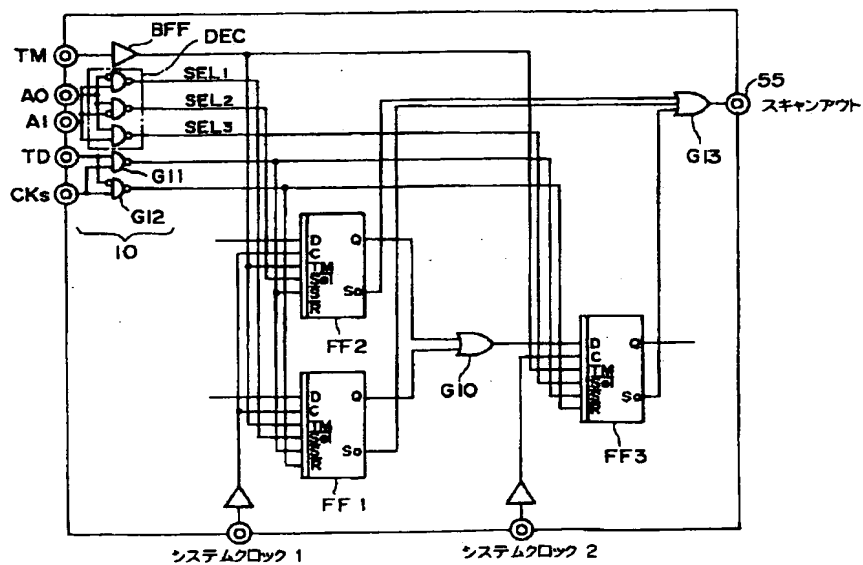
【図 6】



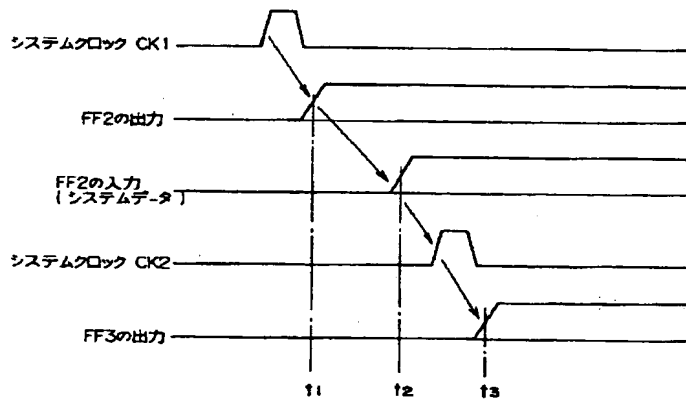
【図 10】



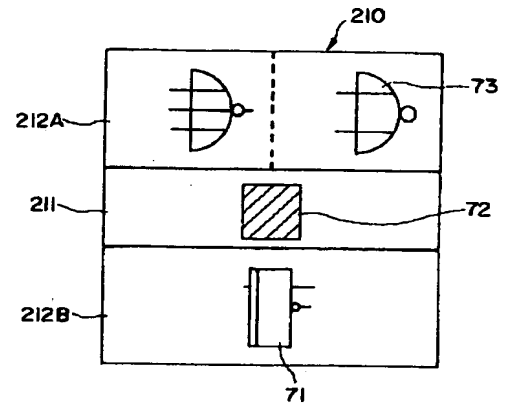
【圖 7】



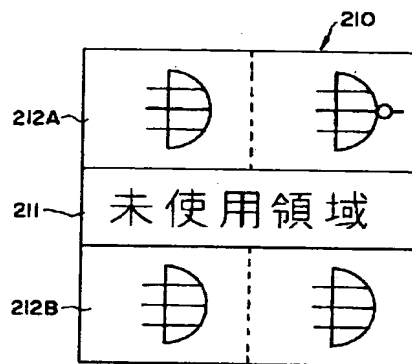
【図8】



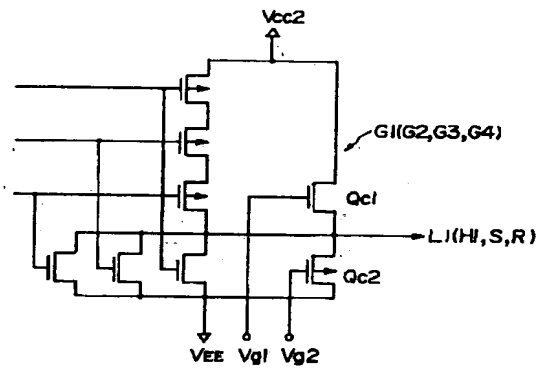
【図11】



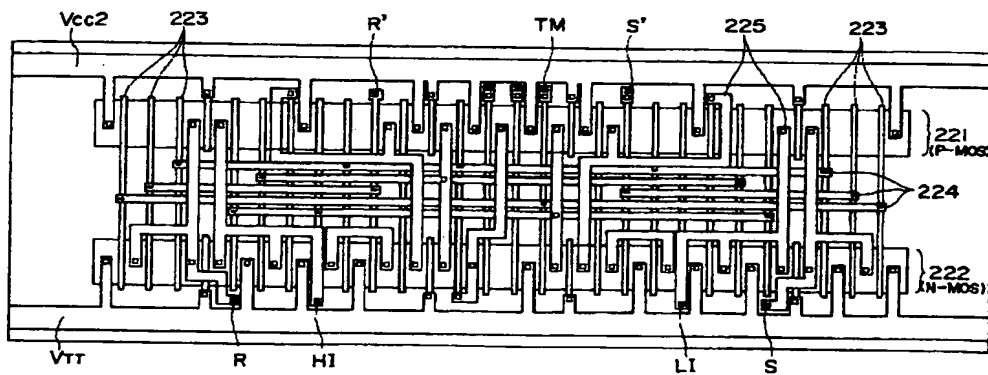
【図12】



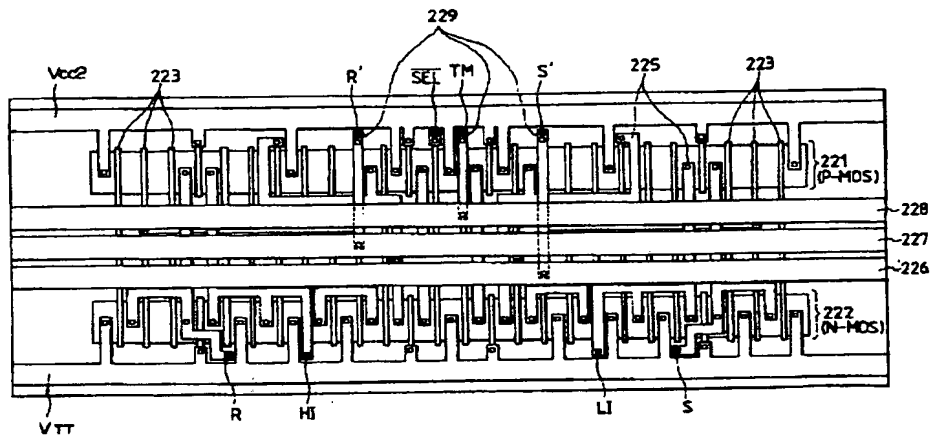
【図17】



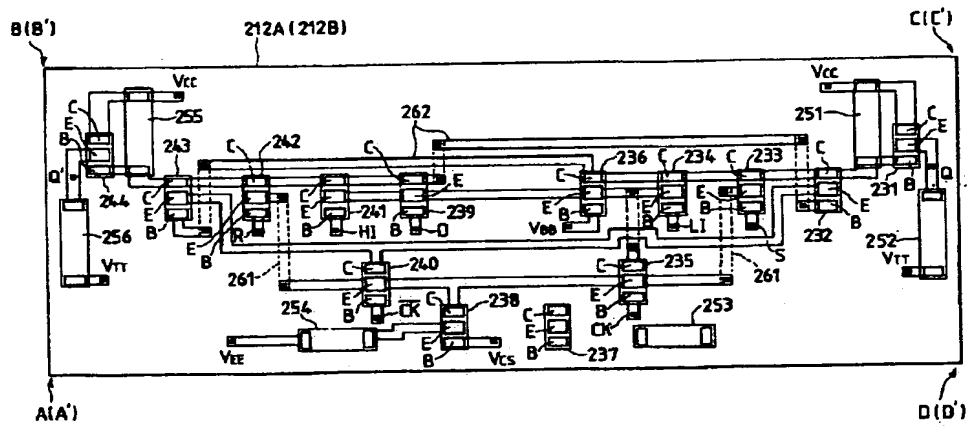
【図13】



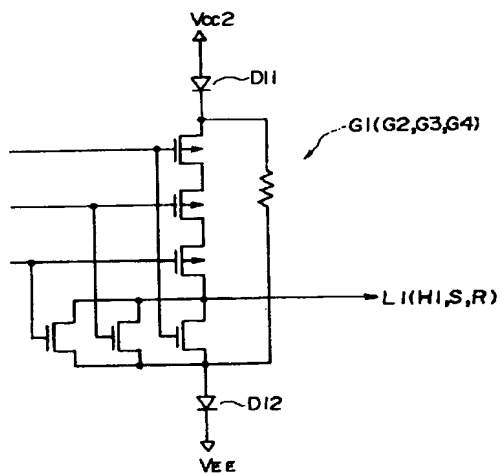
【図 14】



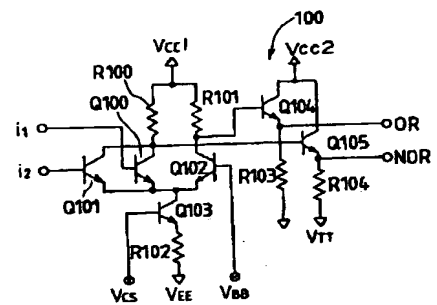
【図 15】



【図 18】



【図 19】



フロントページの続き

(72)発明者 清水 淳  
東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72)発明者 磯村 悟  
東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内  
(72)発明者 坂本 頼之  
神奈川県秦野市堀山下 1 番地 日立コンピ  
ュータエンジニアリング株式会社内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record.**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**